

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-226332
 (43)Date of publication of application : 03.09.1993

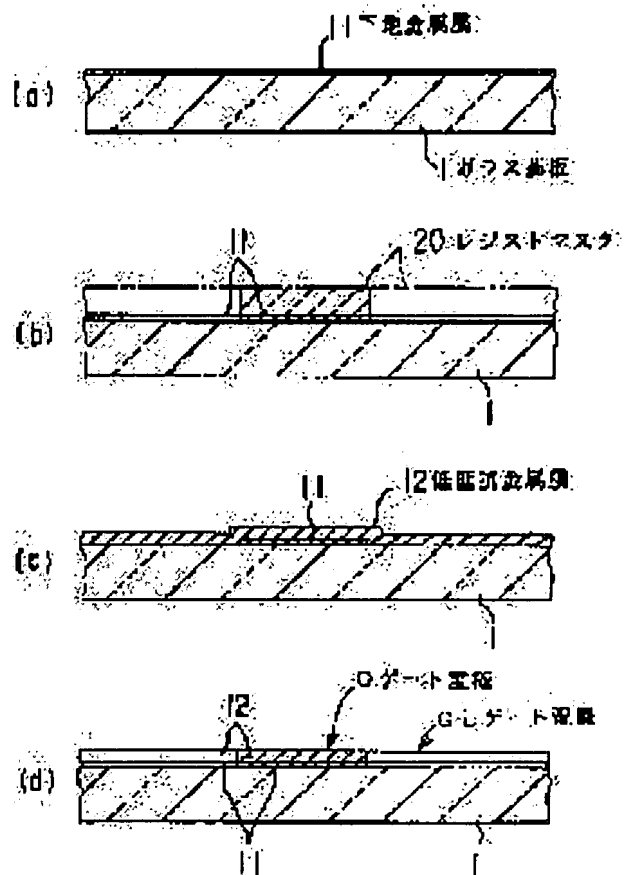
(51)Int.Cl. H01L 21/3205
 B08B 3/10
 G02F 1/1343
 G02F 1/136
 H01L 29/784
 H05K 3/24

(21)Application number : 04-058872 (71) CASIO COMPUT CO LTD
 (22)Date of filing : 13.02.1992 Applicant :
 (72)Inventor : KAMATA HIDEKI

(54) FORMING METHOD OF WIRING

(57) Abstract:

PURPOSE: To effectively form a wiring on a glass substrate which wiring is low resistive and does not exfoliate from the substrate.
 CONSTITUTION: After a base metal film 11 excellent in adhesion to glass is formed on a glass substrate 1, and patterned in a wiring form, a low resistive metal film 12 which is high in adhesion to the base metal film 11 and low in adhesion to glass is formed on the substrate 1. After that, the substrate 1 is dipped in liquid, and ultrasonic wave is applied. Thereby the low resistive metal film 12 except the part where said film is stuck on the base metal film 11 is eliminated, and a two-layered wiring is formed which is constituted of the base metal film 11 patterned in the wiring form and the low resistive metal film 12 left on the film 11.



LEGAL STATUS

[Date of request for examination] 05.02.1999

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3200638

[Date of registration] 22.06.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right] 22.06.2004

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-226332

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
B 0 8 B 3/10		A 6704-3B		
G 0 2 F 1/1343		9018-2K		
		7735-4M	H 0 1 L 21/88	B
		9056-4M	29/78	3 1 1 A

審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く

(21) 出願番号 特願平4-58872

(22) 出願日 平成4年(1992)2月13日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 鎌田 英樹

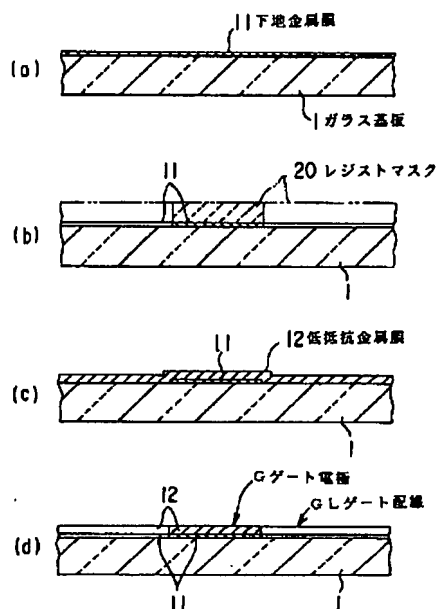
東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

(54) 【発明の名称】 配線形成方法

(57) 【要約】

【目的】 ガラス基板上に、低抵抗でしかも基板から剥離するおそれのない配線を能率良く形成する。

【構成】 ガラス基板1の上にガラスとの密着性が良い下地金属膜11を成膜し、この下地金属膜11をフォトリソグラフィ法により配線形状にパターニングした後、基板1上に、下地金属膜11との密着性が良くガラスとの密着性が悪い低抵抗金属膜12を成膜し、この後、基板1を液中に浸漬して超音波を加えることにより、前記低抵抗金属膜12を下地金属膜11の上に被着した部分を除いて除去して、配線形状にパターニングした下地金属膜11とその上に残った低抵抗金属膜12とからなる二層配線を形成する。



【特許請求の範囲】

【請求項1】 ガラス基板上に低抵抗配線を形成する方法において、ガラス基板の上にガラスとの密着性が良い下地金属膜を成膜し、この下地金属膜をフォトリソグラフィ法により配線形状にパターニングした後、前記基板上に、前記下地金属膜との密着性が良くガラスとの密着性が悪い低抵抗金属膜を成膜し、この後、前記基板を液中に浸漬して超音波を加えることにより、前記低抵抗金属膜を前記下地金属膜の上に被着した部分を除いて除去することを特徴とする配線形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ガラス基板上に低抵抗配線を形成する方法に関するものである。

【0002】

【従来の技術】 ガラス基板の上に形成される配線としては、例えばTFTアクティブマトリックス型液晶表示素子に用いられるTFTパネルのゲート配線またはデータ配線がある。

【0003】 図5は従来のTFTパネルの一部分の平面図、図6は図5のVI-VI線に沿う拡大断面図であり、このTFTパネルは、ガラス基板1の上に、複数本のゲート配線GLと、このゲート配線GLと直交する複数本のデータ配線DLとを設けるとともに、各ゲート配線GLと各データ配線DLとの交差部にそれぞれ薄膜トランジスタ2を形成し、この各薄膜トランジスタ2にそれぞれ対応させて画素電極6を設けた構成となっている。

【0004】 このTFTパネルの薄膜トランジスタ2は、一般に逆スタガー構造とされており、薄膜トランジスタ2を逆スタガー構造としているTFTパネルでは、ゲート配線GLをガラス基板1の上に形成し、データ配線DLを、ゲート配線GLを覆う絶縁膜の上に形成している。

【0005】 上記逆スタガー構造の薄膜トランジスタ2は、上記ゲート配線GLに形成されたゲート電極Gと、このゲート電極Gの上に形成されたSiN（窒化シリコン）からなるゲート絶縁膜3と、このゲート絶縁膜3の上に前記ゲート電極Gと対向させて形成されたa-Si（アモルファスシリコン）からなるi型半導体層4と、このi型半導体層4の両側部の上に、n型不純物をドーブしたa-Siからなるn型半導体層5を介して形成されたソース電極Sおよびドレイン電極Dとからなっている。

【0006】 この薄膜トランジスタ2のゲート絶縁膜3は、基板1のほぼ全面に形成されており、ゲート配線GLは前記ゲート絶縁膜3で覆われている。なお、ゲート配線GLの端子部（図示せず）は、ゲート絶縁膜3の端子部上の部分を除去することによって露出されている。また、上記膜トランジスタのドレイン電極Dは、上記データ配線DLと一体に形成されており、このデータ配線

DLは上記ゲート絶縁膜3の上に形成されている。

【0007】 また、上記画素電極6は、ITO等の透明導電膜からなっており、この画素電極6は上記ゲート絶縁膜3の上に形成されている。この画素電極6は、その一端縁を上記薄膜トランジスタ2のソース電極Sの上に重ねて形成することによってソース電極Sに接続されている。

【0008】 ところで、上記TFTパネルにおいては、そのゲート配線GLおよびデータ配線DLでのゲート信号およびデータ信号の遅延をできるだけ少なくするために、ゲート配線GLとデータ配線DLとをCu（銅）等の低抵抗金属で形成することが望まれている。

【0009】 しかし、Cu（銅）等の低抵抗金属は、ガラスとの密着性が悪いため、ガラス基板1の上に直接形成されるゲート配線GLをCu（銅）等で形成したのでは、TFTパネルの製造途中でゲート配線GLが基板1から剥離し、TFTパネルの製造が不可能になる。

【0010】 このため、従来は、ガラス基板1の上に形成するゲート配線GLを、基板1上にガラスとの密着性が良いCr（クロム）等の金属膜を成膜し、この金属膜をフォトリソグラフィ法によりパターニングする方法で形成している。

【0011】

【発明が解決しようとする課題】 しかしながら、ガラス基板1との密着性が良いCr等の金属は、その抵抗値が高いため、この種の金属でTFTパネルのゲート配線GLを形成したのでは、ゲート配線GLでのゲート信号の遅延が大きくなって、液晶表示素子の表示品質が低下する。これは、特に、高精細、大画面の液晶表示素子に用いるTFTパネルにおいて問題とされている。

【0012】 本発明は、ガラス基板上に、低抵抗でしかも基板から剥離するおそれのない配線を能率良く形成することができる配線形成方法を提供することを目的としたものである。

【0013】

【課題を解決するための手段】 本発明の配線形成方法は、ガラス基板の上にガラスとの密着性が良い下地金属膜を成膜し、この下地金属膜をフォトリソグラフィ法により配線形状にパターニングした後、前記基板上に、前記下地金属膜との密着性が良くガラスとの密着性が悪い低抵抗金属膜を成膜し、この後、前記基板を液中に浸漬して超音波を加えることにより、前記低抵抗金属膜を前記下地金属膜の上に被着した部分を除いて除去することを特徴とするものである。

【0014】

【作用】 本発明の配線形成方法によって形成された配線は、配線形状にパターニングした下地金属膜とその上に残った低抵抗金属膜とからなる二層配線となる。そして、この配線は、下地金属膜の上に低抵抗金属膜を積層したものであるため、抵抗が低いし、またガラス基板に

3

対する下地金属膜の密着性が良く、さらに前記下地金属膜に対する低抵抗金属膜の密着性も良いため、基板から剥離するおそれもない。しかも、本発明では、下地金属膜はフォトリソグラフィ法によってパターンニングしているが、低抵抗金属膜は、液中で超音波を加えることによって下地金属膜の上に被着した部分を除いて除去しているため、フォトリソグラフィ法によるパターンニングは1回だけでよく、したがって下地金属膜と低抵抗金属膜とからなる二層配線を能率良く形成することができる。

【0015】

【実施例】以下、本発明の一実施例を、図5に示したTF Tパネルのゲート配線GLの形成を例にとって説明する。

【0016】図1は前記ゲート配線GLの形成工程図であり、図2は図1(b)の平面図、図3は図1(d)の平面図である。なお、図1はゲート配線GLのゲート電極G部分の断面を示している。

【0017】まず、図1(a)に示すように、ガラス基板1の上に、ガラスとの密着性が良い金属、例えばNi(ニッケル)、Ti(チタン)、Cr(クロム)等からなる下地金属膜11をスパッタリング法によって成膜する。これらNi、Ti、Cr等は、その抵抗値は高いが、ガラスに対する密着性は非常に優れている。なお、この下地金属膜11の膜厚は50nm以下で十分である。

【0018】次に、図1(b)および図2に示すように、上記下地金属膜11をフォトリソグラフィ法によってゲート配線GLの形状にパターンニングする。なお、図1(b)において、20は下地金属膜11のパターンニングに際してその上に形成したレジストマスクである。

【0019】次に、配線形状にパターンニングした下地金属膜11のレジストマスク20を剥離して、基板1を洗浄した後、図1(c)に示すように、上記基板1上に、低抵抗でかつ下地金属膜11との密着性が良くガラスとの密着性が悪い金属、例えばCu(銅)からなる低抵抗金属膜12をスパッタリング法または蒸着法によって成膜する。この低抵抗金属膜12は、約200nmの膜厚に成膜する。

【0020】次に、上記低抵抗金属膜12を成膜した基板1を、純水またはイソプロピルアルコール等の液中に浸漬して超音波を加えることにより、低抵抗金属膜12を下地金属膜11の上に被着した部分を除いて除去する。

【0021】この場合、Cu(銅)からなる低抵抗金属膜12は、Ni、Ti、Cr等からなる下地金属膜11に対する密着性は極めて高いが、ガラスとの密着性は極端に悪いため、液中において超音波を加えると、低抵抗金属膜12のガラス基板1上に被着している部分が除去され、低抵抗金属膜12の上に、この低抵抗金属膜12と同じ形状に低抵抗金属膜12が残る。

4

【0022】このようにして形成された配線GLは、図1(d)および図3に示すように、配線形状にパターンニングした下地金属膜と11その上に残った低抵抗金属膜12とからなる二層配線となる。

【0023】そして、この配線GLは、下地金属膜11の上に低抵抗金属膜12を積層したものであるため、抵抗が低いし、またガラス基板1に対する下地金属膜11の密着性が良く、さらに下地金属膜11に対する低抵抗金属膜12の密着性も良いため、基板1から剥離するおそれもない。

【0024】しかも、上記実施例では、下地金属膜11はフォトリソグラフィ法によってパターンニングしているが、低抵抗金属膜12は、液中で超音波を加えることによって下地金属膜11の上に被着した部分を除いて除去しているため、フォトリソグラフィ法によるパターンニングは1回だけでよく、したがって下地金属膜11と低抵抗金属膜12とからなる二層配線を能率良く形成することができる。

【0025】図4は、上記方法でゲート配線GLを形成したTF Tパネルの一部分の断面図であり、このTF Tパネルは、ゲート配線GLを形成した基板1上に、周知の方法で薄膜トランジスタ2およびデータ配線DLと画素電極6を形成して製造される。なお、図4に示したTF Tパネルは、その下部配線であるゲート配線GLの構造が異なるだけで、他の構成は図5および図6に示した従来のTF Tパネルと同じであるから、重複する説明は図に同符号を付して省略する。

【0026】なお、本発明は、上記TF Tパネルの下部配線(実施例ではゲート配線GL)に限らず、ガラス基板を用いる各種配線板における、ガラス基板上への配線の形成に広く適用できる。

【0027】

【発明の効果】本発明の配線形成方法は、ガラス基板の上にガラスとの密着性が良い下地金属膜を成膜し、この下地金属膜をフォトリソグラフィ法により配線形状にパターンニングした後、前記基板上に、前記下地金属膜との密着性が良くガラスとの密着性が悪い低抵抗金属膜を成膜し、この後、前記基板を液中に浸漬して超音波を加えることにより、前記低抵抗金属膜を前記下地金属膜の上に被着した部分を除いて除去して、配線形状にパターンニングした下地金属膜とその上に残った低抵抗金属膜とからなる二層配線を形成するものであるから、ガラス基板上に、低抵抗でしかも基板から剥離するおそれのない配線を能率良く形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す配線形成工程図。

【図2】図1(b)の平面図。

【図3】図1(d)の平面図。

【図4】本発明によってゲート配線を形成したTF Tパネルの一部分の断面図

5

6

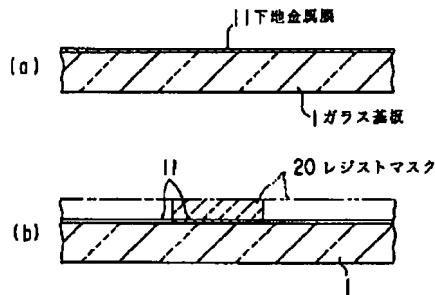
【図5】従来TFTパネルの一部分の平面図。

【図6】図5のVI-VI線に沿う拡大断面図。

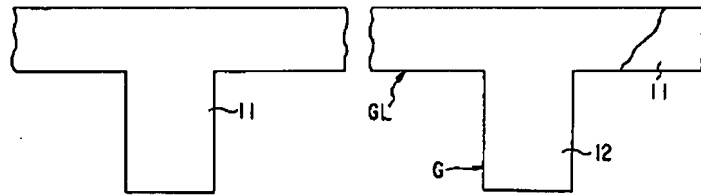
【符号の説明】

1…ガラス基板、GL…ゲート配線、G…ゲート電極、
 11…下地金属膜、12…低抵抗金属膜、20…レジストマスク、
 トマスク。

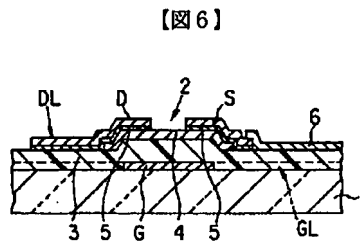
【図1】



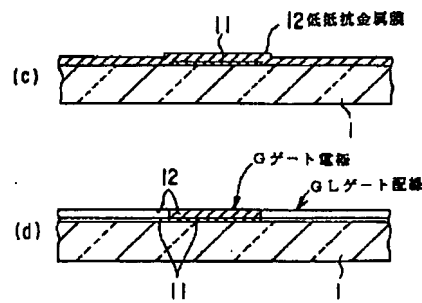
【図2】



【図3】

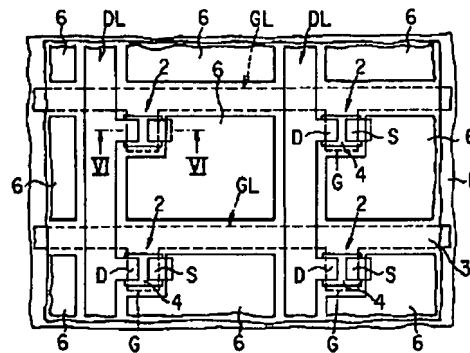
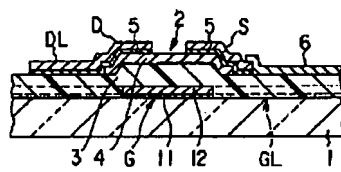


【図6】



【図4】

【図5】



フロントページの続き

(51) Int. Cl.⁵

G 0 2 F 1/136

H 0 1 L 29/784

H 0 5 K 3/24

識別記号

5 0 0

庁内整理番号

9018-2K

F I

Z 7511-4E

技術表示箇所

(5)

特開平5-226332

9056-4M

H01L 29/78

311 G